

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2002-024310

(43)Date of publication of application : 25.01.2002

(51)Int.Cl.

G06F 17/50
H01L 21/82
H01L 27/04
H01L 21/822

(21)Application number : 2000-207892

(71)Applicant : FUJITSU LTD
FUJITSU VLSI LTD

(22)Date of filing : 10.07.2000

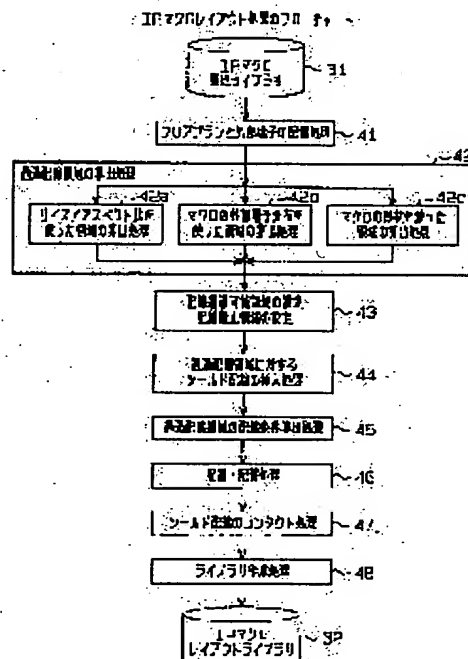
(72)Inventor : YABUTA TAKUSHI
ITO FUMIHIKO

(54) MACRO GENERATION METHOD, LAYOUT METHOD, SEMICONDUCTOR DEVICE, AND RECORDING MEDIUM

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a macro generation method which has layout and wiring information to suppress the characteristic variance like signal delay due to a crosstalk noise.

SOLUTION: An area through which wiring in the chip level can pass in an IP macro is calculated on the basis of the shape of the IP macro and positions of external terminals (step 42), and a wiring condition of this area is set (step 45) after shield wiring insertion processing (step 44). Automatic layout and wiring in the IP macro are performed on the basis of this wiring condition (step 46), and contact processing of shield wiring is performed (step 47), and a library of the IP macro including information of the area and the automatic layout and wiring result is generated (step 48).



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2002-24310

(P2002-24310A)

(43) 公開日 平成14年1月25日 (2002.1.25)

(51) Int.Cl. ⁷	識別記号	F I	テーマコード [*] (参考)
G 0 6 F 17/50	6 5 8	G 0 6 F 17/50	6 5 8 A 5 B 0 4 6
			6 5 8 J 5 F 0 3 8
			6 5 8 V 5 F 0 6 4
	6 5 4		6 5 4 K
H 0 1 L 21/82		H 0 1 L 21/82	B

審査請求 未請求 請求項の数 5 O L (全 12 頁) 最終頁に続く

(21) 出願番号 特願2000-207892 (P2000-207892)

(22) 出願日 平成12年7月10日 (2000.7.10)

(71) 出願人 000005223

富士通株式会社

神奈川県川崎市中原区上小田中4丁目1番
1号

(71) 出願人 000237617

富士通ヴィエルエスアイ株式会社

愛知県春日井市高蔵寺町2丁目1844番2

(72) 発明者 蔵田 卓士

愛知県春日井市高蔵寺町二丁目1844番2

富士通ヴィエルエスアイ株式会社内

(74) 代理人 100068755

弁理士 恩田 博宣 (外1名)

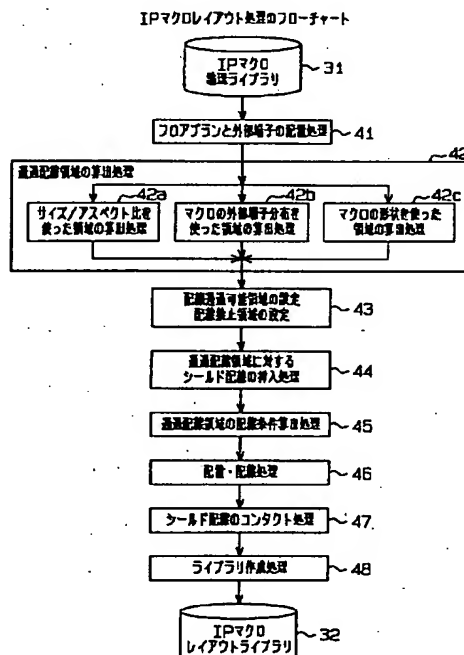
最終頁に続く

(54) 【発明の名称】 マクロ作成方法、レイアウト方法、半導体装置及び記録媒体

(57) 【要約】 (修正有)

【課題】 配置配線情報を持ち、クロストークノイズによる信号遅延等の特性変動を抑えることのできるマクロの作成方法を提供すること。

【解決手段】 IPマクロの形状、外部端子の位置に基づいてIPマクロ内にチップレベルの配線が通過可能な領域を算出し (ステップ42)、シールド配線挿入処理 (ステップ44) 後、その領域の配線条件を設定する (ステップ45)。その配線条件に基づいてIPマクロ内の自動配置配線を行い (ステップ46)、シールド配線のコンタクト処理を行い (ステップ47)、通過配線可能領域の情報と自動配置配線結果を含むIPマクロのライブラリを作成する (ステップ48)。



【特許請求の範囲】

【請求項 1】 配置配線情報を持つ IP マクロを作成するマクロ作成方法であって、

IP マクロ内にチップレベルの配線が通過可能な領域を算出するステップと、

前記配線通過可能領域の配線条件を設定するステップと、

前記配線条件に基づいて前記 IP マクロ内の自動配置配線を行うステップと、

前記通過配線可能領域の情報と前記自動配置配線結果を含む IP マクロのライブラリを作成するステップと、を備えたことを特徴とするマクロ作成方法。

【請求項 2】 前記配線通過領域にシールド配線を挿入するステップと、

前記シールド配線の電源及びグランドへのコンタクトを形成するステップと、を備え、

前記ライブラリを作成するステップでは、該ライブラリに前記シールド配線の情報を含めるようにしたことを特徴とする請求項 1 記載のマクロ作成方法。

【請求項 3】 請求項 1 又は 2 の方法により作成された配置配線情報を持つ IP マクロが登録されたライブラリを利用する半導体装置のレイアウト方法であって、

前記 IP マクロを含む複数のブロックのフロアプランを作成するステップと、

前記 IP マクロの配線通過可能領域の情報を参照して該 IP マクロ内を通過する配線の条件を作成するステップと、

前記配線条件に基づいてチップレベルの配置配線を行うステップと、を備えたことを特徴とするレイアウト方法。

【請求項 4】 請求項 1 又は 2 の方法により作成された IP マクロを備えた半導体装置。

【請求項 5】 配置配線情報を持つ IP マクロを作成するマクロ作成方法を実行するプログラムを記録したコンピュータ読み取り可能な記録媒体であって、

前記プログラムは、

IP マクロ内にチップレベルの配線が通過可能な領域を算出するステップと、

前記配線通過可能領域の配線条件を設定するステップと、

前記配線条件に基づいて前記 IP マクロ内の自動配置配線を行うステップと、

前記通過配線可能領域の情報と前記自動配置配線結果を含む IP マクロのライブラリを作成するステップと、を備えたことを特徴とする記録媒体。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は半導体集積回路装置の設計に用いられる物理配線を有する機能ブロック（IP マクロ）の作成方法と、それを用いるレイアウト方

法、及びそれらの方法を実行するプログラムを記録した記録媒体に関するものである。

【0002】近年、半導体集積回路装置（LSI）は、大規模化・高集積化が進められるとともに、その開発期間の短縮が要求されている。その半導体集積回路装置のレイアウト設計を効率化（時間短縮）するために、所定の機能を提供する既存のブロック（機能ブロック：以下、IP マクロという）の有効利用が望まれている。

【0003】

【従来の技術】従来、LSI の設計では、そのレイアウト設計を効率化して設計時間を短縮するために IP マクロが用いられている。IP マクロは、MPU やメモリ等のように所望の機能に応じて予め作成され、ライブラリファイルに格納されている。また、IP マクロは他社や供給業者などから導入される。設計者は、LSI の仕様に基づいて、その仕様を満足する複数種類の IP マクロを指定し、それ以外の論理回路を機能ブロックとして設計する。これらを用いて配置・配線処理のプログラムを実行することで LSI のレイアウトデータを設計する。これにより、LSI の開発期間を短くする。

【0004】

【発明が解決しようとする課題】ところで、IP マクロには、ハードウェア記述言語で記述されたマクロ（以下、ソフトマクロという）、配置配線情報を持つマクロ（以下、ハードマクロという）がある。

【0005】ソフトマクロを利用した設計は、ハードマクロのように配置配線情報を持たないため、レイアウトの自由度が高い利点がある。しかし、マクロを構成する複数のセルの配置やセル間の配線経路がハードマクロのそれと異なる（又は LSI を設計する度に異なる）ため、マクロ内の信号に対して遅延時間等の検証を実施しなければならず、マクロの規模によって検証に時間がかかることがある。更に、信号の遅延時間が大きくなる等して仕様が満足できない場合、信号の遅延時間等をレイアウトにフィードバック、即ち遅延時間が大きい信号配線の経路変更やセルの再配置を行わなければならない。これらは、LSI の設計時間を長くする。

【0006】一方、ハードマクロを利用した設計は、配置配線情報を持つためマクロ外の配置配線を行えばよく、その設計時間がソフトマクロを利用する場合に比べて短い。更に、マクロ単体での信号遅延等が変化しないため、マクロ以外の部分に対して検証を行えばよく、検証時間がソフトマクロの場合と比べて短い。

【0007】しかし、IP マクロの領域にチップレベルの配線（IP マクロとそれ以外、及び IP マクロ以外の機能ブロック間を接続する配線）を通過させると、その配線と平行する IP マクロ内の既存配線との間で発生するクロストークノイズにより IP マクロの信号遅延等の特性変動や誤動作を生じる場合がある。そのため、チップレベルのレイアウト後に IP マクロ内の配線を含めて

RC (Resistance Capacitance)抽出と特性検証を行わなければならない、設計時間が長くなる。

【0008】ハードマクロを利用し、IPマクロの特性変動を抑えるために、そのIPマクロを迂回する形でチップレベルの配線を形成する方法がある。しかし、この方法では、チップレベルの配線においてタイミング的に間に合わないケースが発生し、フロアプランからやり直さなければならないようになって設計時間が長くなる。また、迂回する配線によりチップサイズの増大等を招いている。

【0009】本発明は上記問題点を解決するためになされたものであって、その目的は配置配線情報を持ち、特性変動を抑えることのできるマクロの作成方法、それを用いた半導体装置のレイアウト方法、それらの方法を実施するプログラムを記録した記録媒体を提供することにある。

【0010】

【課題を解決するための手段】上記目的を達成するため、本発明は、IPマクロ内にチップレベルの配線が通過可能な領域を算出し、その領域の配線条件を設定する。その配線条件に基づいてIPマクロ内の自動配置配線を行い、通過配線可能領域の情報と自動配置配線結果を含むIPマクロのライブラリを作成するようにした。このため、チップレベルの配線を配線通過可能領域に通すことで、IPマクロ内の配線とチップレベルの配線とのクロストークが抑えられる。

【0011】また、本発明の他の態様では、配線通過領域にシールド配線を挿入し、シールド配線の電源及びグラウンドへのコンタクトを形成する。このシールド配線の情報ライブラリに含めるようにした。このシールド配線によりIPマクロ内の配線とチップレベルの配線とのクロストークが抑えられ、シールド付き配線を配線通過可能領域に通す場合には予め登録されたシールド配線を利用することで、容易にシールド配線の形成が行える。

【0012】また、本発明では、ライブラリに登録された配置配線情報を持つIPマクロを含む複数のブロックのフロアプランを作成し、IPマクロの配線通過可能領域の情報を参照して該IPマクロ内を通過する配線の条件を作成する。そしてその配線の条件に基づいてチップレベルの配置配線を行うようにした。このため、チップレベルの配線を配線条件に基づいて配線通過可能領域に通すことで、IPマクロ内の配線とチップレベルの配線とのクロストークが抑えられる。

【0013】

【発明の実施の形態】以下、本発明を具体化した一実施の形態を図1～図10に従って説明する。図2は、本発明のIPマクロレイアウト処理及びチップレベルレイアウト処理を実施するためのコンピュータシステム11の概略構成図を示す。

【0014】このコンピュータ11は、一般的なCAD

(Computer Aided Design) 装置からなり、中央処理装置(以下、CPUという)12、メモリ13、記憶装置14、表示装置15、入力装置16、及び、ドライブ装置17により構成され、それらはバス18を介して相互に接続されている。

【0015】CPU12は、メモリ13を利用してプログラムを実行し、各種処理を実施する。メモリ13には、各種処理を提供するために必要なプログラムとデータが格納され、メモリ13としては、通常、キャッシュ・メモリ、システム・メモリおよびディスプレイ・メモリを含む。

【0016】表示装置15は、レイアウト表示、パラメータ入力画面等の表示に用いられ、これにはCRT、LCD、PDP等が用いられる。入力装置16は、ユーザからの要求や指示、パラメータの入力に用いられ、これにはキーボードおよびマウス装置(図示せず)等が用いられる。

【0017】記憶装置14は、通常、磁気ディスク装置、光ディスク装置、光磁気ディスク装置を含む。この記憶装置14には、図1に示すステップ21のIPマクロレイアウト処理とステップ22のチップレベルレイアウト処理からなる半導体装置の設計処理のためのプログラムデータとファイル31～33が格納され、CPU12は、入力装置16による指示にตอบสนองしてプログラム、データをメモリ13へ転送し、それを実行する。

【0018】CPU12が実行するプログラムデータは、記録媒体19にて提供される。ドライブ装置17は、記録媒体19を駆動し、その記憶内容にアクセスする。CPU12は、ドライブ装置17を介して記録媒体19からプログラムデータを読み出し、それを記憶装置14にインストールする。

【0019】記録媒体19としては、磁気テープ(MT)、メモ리카ード、フロッピー(登録商標)ディスク、光ディスク(CD-ROM、DVD-ROM、…)、光磁気ディスク(MO、MD、…)等、任意のコンピュータ読み取り可能な記録媒体を使用することができる。この記録媒体19に、上述のプログラム、データを格納しておき、必要に応じて、メモリ13にロードして使用することもできる。

【0020】尚、記録媒体19には、通信媒体を介してアップロード又はダウンロードされたプログラムデータを記録した媒体、ディスク装置を含む。更に、コンピュータによって直接実行可能なプログラムを記録した記録媒体だけでなく、いったん他の記録媒体(ハードディスク等)にインストールすることによって実行可能となるようなプログラムを記録した記録媒体や、暗号化されたり、圧縮されたりしたプログラムを記録した記録媒体も含む。

【0021】次に、IPマクロを用いた半導体装置のレイアウト設計処理の流れを、図1に従って説明する。フ

ファイル31はIPマクロ論理ライブラリであり、ハードウェア記述言語で記述されたMPU(microprocessor unit)やメモリ等の機能ブロック(コアともいう)であるIPマクロの論理情報が予め格納されている。

【0022】ステップ21はIPマクロレイアウト処理(手段)であり、図3のサブステップ41~48から構成される。図2のCPU12は、ファイル31のIPマクロの論理情報を読み出し、フロアプラン及び配線処理を実施する。

【0023】この時、CPU12は、IPマクロ内をIPマクロ外の配線(チップレベルの配線であり、以下、マクロ外配線という)が通過可能な領域を自動的に設定し、この領域をシールドするシールド配線を付加し、そのシールド配線を電源又はグラウンドに接続する端子(コンタクト)を形成する。更に、CPU12は、配線通過可能領域の情報から、IPマクロ内にクロストークノイズ問題を発生させないセルの配置条件と配線条件を決定し、IPマクロの自動配置配線を行う。

【0024】この様にして、CPU12は、配置配線情報を付加したIPマクロデータを生成し、そのデータをファイル32のIPマクロレイアウトライブラリに格納する。

【0025】ステップ22はチップレベルレイアウト処理(手段)であり、図4のサブステップ51~55から構成される。図2のCPU12は、IPマクロレイアウトライブラリに登録したIPマクロを利用し、半導体装置のチップのレイアウト(フロアプラン及び配線処理)を実施する。そして、CPU12は、半導体装置のレイアウトデータをファイル33に格納する。

【0026】この時、CPU12は、マクロ外配線をIPマクロ内の配線通過可能領域を通過させてレイアウトする。これにより、マクロ外配線の配線長を短くして配線遅延を抑える。また、マクロ外配線の回り込みを減らすことにより集積度を向上させ、半導体チップの面積増大を抑える。この場合、IPマクロ内の配線(以下、マクロ内配線という)は、上記のセル配置条件及び配線条件を満たしているため、領域を通過するマクロ外配線との間でクロストークノイズの問題は発生しない。これにより、IPマクロの修正を必要としないため設計工数が少なくなり、設計時間が短くなる。

【0027】更に、CPU12は、システムクロック配線等のシールドが必要な被シールド配線を配線通過可能領域を通過させる場合に、IPマクロに付加したシールド配線を利用する。即ち、CPU12は、被シールド配線を配線通過可能領域内においてシールド配線に沿うように配置し、IPマクロ外において形成したシールド配線を領域内のシールド配線に接続する。このように、内部に形成されたシールド配線が形成されたIPマクロを用いることで、配線及び電源又はグラウンドへの接続の手間を省き、複数の半導体装置の設計時間を短縮すること

ができる。

【0028】次に、IPマクロレイアウト処理の詳細を図3に従って説明する。図3はIPマクロレイアウト処理の詳細なフローチャートである。ステップ41は配置処理(手段)であり、図1のCPU12は、フロアプランナを使用してIPマクロ内のフロアプランを実施し、IPマクロを構成するセル及びIPマクロの外部端子を配置する。

【0029】ステップ42は配線通過可能領域の算出処理(手段)であり、サブステップ42a~42cを含む。図2のCPU12は、IPマクロの形状、外部端子の位置等に基づいてサブステップ42a~42cのうちの何れか一つを実行し、IPマクロ内をマクロ外配線が通過可能な領域の大きさを算出する。

【0030】マクロ外配線は、X軸又はY軸方向に沿って形成される。従って、CPU12は、図5に示すようにIPマクロ61に対する配線通過可能領域として、Y軸方向に沿って配線を通過させる第1配線領域62と、X軸方向に沿って配線を通過させる第2配線領域63を設定する。そして、CPU12は、第1配線領域62のX軸方向の大きさ(幅)X1と、第2配線領域63のY軸方向の大きさ(幅)Y1をサブステップ42a~42cのうちの何れか一つにより算出する。

【0031】ステップ42aは第1の算出処理(手段)であり、CPU12は、IPマクロのアスペクト比とサイズを基に、配線通過可能領域を算出する。IPマクロのアスペクト比が大きいものほど、IPマクロの長辺を通過する配線が必要となる。このため、CPU12は、図5に示すように、IPマクロ61のサイズ(XL, YL)に基づいて、アスペクト比に比例したX, Y軸の配線通過可能領域のサイズ(X1, Y1)を以下の式から算出する。

$$\begin{aligned} X1 &= XL * XL / (XL + YL) * Fx \\ Y1 &= YL * YL / (XL + YL) * Fy \end{aligned}$$

但し、Fx, FyはIPマクロに占める通過配線可能領域の割合を設定するための係数であり、その値は例えばIPマクロの論理規模(ゲート数)とサイズによって決定される。

【0033】また、IPマクロのサイズが、あまりに小さいとIPマクロ上を通過する効果が薄れる。例えば、図5に示すIPマクロ61において、Y軸方向のサイズYLが小さいと、それにより幅Y1が算出された第2配線領域63では、マクロ外配線がほとんど通過しない(通過する本数が僅かである)。このため、CPU12は、製造プロセスにより、IPマクロの配線通過可能領域を設定しないIPマクロの上限サイズを規定し、それに基づいて上記サイズ(XL, YL)の少なくとも一方のみを算出する。

【0034】ステップ42bは第2の算出処理(手段)

であり、図2のCPU12は、IPマクロの外部端子情報を基に、配線通過可能領域を算出する。図6に示すように、IPマクロ64には、ステップ41において複数の外部端子65が配置され、その外部端子65に対してマクロ外配線が接続される。このマクロ外配線は、主にその端子が配置された辺に近いマクロや機能ブロックに接続されるが、配置された辺に対向する側にあるマクロや機能ブロックに接続されるものもある。従って、CPU12は、IPマクロの外部端子が辺により端子数の比が1:n(又はn:1、nは2以上の実数)の場合、端子数の多い辺に対して反対側の辺に引き出し可能である配線領域を、1辺の最大端子数の1/2以下の配線が通過可能なだけ確保する。尚、図6において、破線はY軸方向に沿って形成されるマクロ外配線、一点鎖線はX軸方向に沿って形成されるマクロ外配線を示す。

【0035】ステップ42cは第3の算出処理(手段)であり、図2のCPU12は、IPマクロが四角形以外の場合、配線通過可能領域を形状から算出する。図7に示すように、形状が多角形のIPマクロ66の場合、CPU12は、IPマクロ66の重心G1を中心としてステップ42aの式により算出した幅X1、Y1を持つ第1及び第2配線領域67、68を設定する。その後、CPU12は、第1及び第2配線領域67、68が四角形になるように補正した幅X2、Y2を持つ第3及び第4配線領域67a、68aを配線通過可能領域とする。

【0036】ステップ43は領域設定処理(手段)であり、図2のCPU12は、ステップ42においてそのサイズを算出した配線通過可能領域の配線層と配線禁止領域を設定する。例えば、図5に示すIPマクロ61の場合、CPU12は、テクノロジルールに設定された配線層とその配線方向を参照し、上記の第1及び第2配線領域62、63に対して通過配線方向から求まる配線層を設定する。

【0037】更に、CPU12は、配線通過可能領域にIPマクロ内のレイアウトのための配線(マクロ内配線)を通さないように、その領域と同じ大きさを持つ配線禁止領域を同一層に設定する。

【0038】例えば、テクノロジルールに配線層として第1~第4層が設定されている場合、CPU12は、図8に示すように、第1配線領域62を第3層に設定し、第2配線領域63を第4層に設定する。更に、CPU12は、第1配線領域62と同じ大きさを持つ第3層の配線禁止領域69を設定し、第2配線領域63と同じ大きさを持つ第4層の配線禁止領域70を設定する。尚、図8では、第1及び第2禁止領域69、70を判りやすくするために第1及び第2配線領域62、63とずらして大きく表示してある。

【0039】尚、使用するテクノロジルールにより、配線通過可能領域の層数を変更しても良い。例えば、第1領域を第1及び第3層に設定し、第2配線領域63を第

2及び第4層に設定する。

【0040】ステップ44はシールド配線挿入処理(手段)であり、図2のCPU12は、シールド配線を配線通過可能領域の経路に沿う形で同層に配線する。詳述すると、図9に示すように、CPU12は、IPマクロ61の第1配線領域62に対して、IPマクロ61の枠から枠まで到達する(IPマクロ61を横切る)シールド配線71a、71bを境界線上に形成する。更に、CPU12は、枠上、即ちIPマクロ61の枠とシールド配線71a、71bの交点に、それらシールド配線71a、71bをグランド(又は電源)に接続する端子(ビアホール: viahole)72a、72b、72c、72dを発生させる。

【0041】同様に、CPU12は、第2配線領域63に対してシールド配線73a、73bをその配線領域63の境界線上に形成し、それら配線73a、73bをグランド(又は電源)に接続するための端子74a、74b、74c、74dを発生させる。

【0042】そして、CPU12は、これら端子72a~72d、74a~74dをその他のIPマクロ外部の電源またはグランド端子と区別するため、マクロライブラリでは、通常の電源及びグランド端子とは別の属性を設定する。後述するチップレベルレイアウト処理において、CPU12は、この属性を判断し、チップレベルのIPマクロ上通過配線を制御する。

【0043】尚、図9では、シールド配線71a、71b、73a、73b及び端子72a~72d、74a~74dを判りやすくするために大きく表示してあるが、実際にはテクノロジルールに基づく配線幅、端子サイズを持つ。

【0044】ステップ45は配線条件算出処理(手段)であり、図2のCPU12は、配線通過可能領域の上下層は、配線方向を必ず配線通過方向と反対(直交)の方向にのみ配線可能とする条件を配線プログラムの制御情報に追加する。これは、IPマクロ上の通過する配線とIPマクロ内の配線とのクロストークを回避するためである。

【0045】ステップ46は配置配線処理(手段)であり、CPU12は、従来の手法で、IPマクロ内の配置配線処理を行う。即ち、CPU12は、IPマクロを構成するセルを配置し、そのセル間及びセル-外部端子間の配線を行う。

【0046】ステップ47はシールド配線のコンタクト処理(手段)であり、図2のCPU12は、IPマクロ内の電源配線を形成し、それとシールド配線を接続する。電源配線には、IPマクロの周囲に沿って形成するリング状の配線(リング配線)、セル列に沿って形成する電源配線(レール配線)、電源配線をメッシュ状にするための配線(ストライプ配線)がある。CPU12は、これらとシールド配線又は端子との間に配線、端子

を形成する。

【0047】図10は、IPマクロのレイアウト情報の構造を示す。このレイアウト情報81は、ヘッダ情報82とフィードスルー情報83、サイズ等を含む。ヘッダ情報82には、マクロ作成のバージョン番号(version)、作成日付(date)、テクノロジルール(technology)、ユニット(units)等の情報が格納される。フィードスルー情報83はIPマクロを通過するマクロ外配線に関連する情報であり、配線禁止のエリア、配線禁止レイヤー、シールド配線の座標、シールド配線の幅、上下層の配線方向の情報が格納される。

【0048】ステップ48はライブラリ作成処理(手段)であり、CPU12は、レイアウトが完了したIPマクロを、次の2通りの方法によってライブラリ(ファイル32)に登録する。

【0049】(1)配線通過可能領域のみを配線通過可能として定義し、併せて、配線方向の属性を設定する。その他の部分は、配線禁止として定義する。

(2)配線通過可能領域の部分において、IPマクロ内の信号配線に対して、上下・左右・斜めの隣接関係(プロセス条件ルールによって、隣接条件の範囲を指定する)にある配線トラックを直交可能配線禁止領域として設定し、その他の領域を配線通過可能とする機能も有する。直交配線禁止領域は、その領域内でマクロ内配線と平行してマクロ外配線をレイアウトすることは禁止し、マクロ内配線と直交方向にマクロ外配線をレイアウトすることを許容する領域である。

【0050】図11は、ライブラリに登録されたIPマクロの配置配線情報の構造を示す。このレイアウト情報(データ)91は、ヘッダ情報92、マクロ名93、基準点94、サイズ95、フィードスルー情報96、ピン情報97、配線禁止のエリア98、直交配線禁止のエリア99の領域を持つ。

【0051】ヘッダ情報92は、マクロ作成のバージョン番号(version)、作成日付(date)、テクノロジルール(technology)、ユニット(units)等の情報から構成され、マクロ名93はこのIPマクロを呼び出すため名前である。基準点94はIPマクロを配置するときに基準とする座標値であり、サイズ95はIPマクロの外形サイズである。

【0052】フィードスルー情報96はマクロ外配線を通過させるための情報であり、配線レイヤー、配線方向、エリアサイズ、シールド配線の座標値、シールド配線の幅の情報を持つ。そして、このフィードスルー情報96は、IPマクロに設定された配線通過可能領域毎に設けられる。例えば、図5のIPマクロ61の場合、第1及び第2配線領域62、63それぞれに対してフィードスルー情報96が作成される。

【0053】ピン情報97はIPマクロの外部端子の情報であり、ピン名、配線を接続する方向、レイヤー、サ

イズの情報を持つ。配線禁止のエリア98は上記(1)にて定義された配線禁止の領域の情報であり、直交配線禁止のエリア99は上記(2)にて定義された領域の情報である。

【0054】そして、このようにライブラリに登録した配線配置情報を持つIPマクロに対して、CPU12はIPマクロ内のRC抽出とタイミングモデル作成を行い、その結果を論理ライブラリに格納する。

【0055】次に、チップレベルレイアウト処理の詳細を説明する。図4はチップレベルレイアウト処理のフローチャートであり、ステップ51～55はステップ22のサブステップである。

【0056】ステップ51はフロアプラン処理(手段)及びマクロ配置条件決定処理(手段)であり、図2のCPU12は、フロアプランナを使用し、チップレベルのフロアプランを実施する。この時、CPU12は、IPマクロの配線通過可能領域を効率よく使用するためのIPマクロの位置、回転条件を決定する。

【0057】図12はチップレベルのフロアプラン図である。図2のCPU12は、チップ101上に、その周囲に沿って複数のパッド102を配置し、その内側に複数の機能ブロック(マクロ)103～110とIPマクロ61を配置する。

【0058】ステップ52は配線条件作成処理(手段)であり、図2のCPU12は、IPマクロ内を通過する配線に対する条件設定として、IPマクロのライブラリから通過可能領域とその領域での配線方向をチップレベルの配線プログラムに制御情報として追加する。また、詳細配線モードでは、通過配線領域に設定された直交配線禁止情報を制御情報として追加する。直交配線禁止情報は、IPマクロが回転して配置された場合等において、IPマクロ内の配線とマクロ内を通過するチップレベルの配線が上下層に平行して配線しないための禁止情報として使用する。

【0059】ステップ53は配置配線処理(手段)であり、図2のCPU12は、上記ステップにて追加された制御情報に基づいて配線プログラムを実行し、チップレベルの配置・配線処理を行う。例えば、図12に示すブロック104のセル104aとブロック109のセル109aとを接続する配線を形成する場合、IPマクロ61の第1配線領域62を使用して、第3配線層に配線L101を形成する。また、ブロック106のセル106aとパッド102aを接続する配線を形成する場合、CPU12は、IPマクロ61の第2配線領域63を使用して、第4配線層に配線L102を形成する。これら配線L101、L102は、IPマクロ61を迂回しないため配線長が短くなり、配線遅延が迂回する場合に比べて小さい。

【0060】尚、配線L101は第3配線層に形成する3つの配線(破線で示す)から構成される。また、配線

L102は、第3配線層に形成する2つの配線と第4配線層に形成する1つの配線（一点鎖線で示す）とそれらを接続する端子（記号×で示す）から構成される。

【0061】このステップ53において、IPマクロに通過可能領域が多数層設定されている場合であって、複数の通過配線（マクロ外配線）を同一方向に沿って異なる配線層に形成する場合、CPU12は、クロストークを回避するため上下で同じ配線トラック（同一座標値を持つ配線トラック）を使用せず、別の配線トラック（X座標又はY座標が互いに異なる複数の配線トラック）を使用する。

【0062】同様に、太幅配線を引く場合、CPU12は、クロストークを回避するため、その配線幅に基づいて、上下各層の配線が重ならないように使用する配線トラックをずらせる。

【0063】また、チップレベルのクリティカルネットをIPマクロ内に同一方向、同一層で通過配線として引く場合、CPU12は、クロストークを回避するため十分な隣接スペースを確保するか、電源またはグラウンドを使ったシールド配線を配線間に挿入する。

【0064】ステップ54はシールド配線の配線処理（手段）であり、図2のCPU12は、IPマクロ内にチップレベルのシールド付き配線を引く。この場合は、CPU12は、IPマクロに挿入したシールド用の電源又はグラウンド端子属性をライブラリで認識し、IPマクロ内では既に引かれているシールド配線を使用してシールド配線を行う。

【0065】例えば、図12に示すように、機能ブロック103のセル103aと機能ブロック109のセル109bとを接続するシールド付き配線を引く場合、CPU12は、両セル103a、109bを接続する配線L103（破線及び一点鎖線で示す）をIPマクロ61のシールド配線71aに沿って第1配線領域62内に形成する。次に、CPU12は、配線L103を囲むように2点鎖線で示すシールド配線L104を形成し、そのシールド配線L104をシールド配線71a両端の端子72a、72bに接続する。

【0066】尚、図12では、シールドを行う配線L103を単純に囲うようにシールド配線L104を表示してあるが、実際には、配線L103が複数の層に形成された配線を端子で接続して形成されているため、配線L103を構成する各層の配線のそれぞれを囲むようにシールド配線L104が形成され、そのシールド配線L104を構成する全ての配線がグラウンド（又は電源）と接続される。

【0067】ステップ55はRC抽出処理（手段）及びレイアウト検証処理（手段）であり、図2のCPU12は、レイアウトが完了したLSIのレイアウトデータから、チップレベルのRC抽出とタイミングモデル作成を行う。そして、CPU12は、作成したタイミングモデ

ルに基づいて、レイアウトしたLSIの各信号のタイミングが仕様を満足しているか否かの検証を行う。

【0068】以上記述したように、本実施の形態によれば、以下の効果を奏する。

（1）IPマクロ内にチップレベルの配線が通過可能な領域を算出し、その領域の配線条件を設定する。その配線条件に基づいてIPマクロ内の自動配置配線を行い、通過配線可能領域の情報と自動配置配線結果を含むIPマクロのライブラリを作成する。そのライブラリに登録された配置配線情報を持つIPマクロを含む複数のブロックのフロアプランを作成し、IPマクロの配線通過可能領域の情報を参照して該IPマクロ内を通過する配線の条件を作成する。そしてその配線の条件に基づいてチップレベルの配置配線を行うようにした。その結果、チップレベルの配線を配線通過可能領域に通すことで、IPマクロ内の配線とチップレベルの配線とのクロストークを抑えることができる。

【0069】（2）配線通過領域にシールド配線を挿入し、シールド配線の電源及びグラウンドへのコンタクトを形成する。このシールド配線の情報をライブラリに含めるようにした。この結果、シールド配線によりIPマクロ内の配線とチップレベルの配線とのクロストークを抑えることができる。そして、シールド付き配線を配線通過可能領域に通す場合には予め登録されたシールド配線を利用することで、シールド配線の形成を容易に行うことができる。

【0070】尚、前記実施形態は、以下の態様に変更してもよい。上記実施形態のステップ21、22（図1参照）は、それぞれ別のコンピュータシステムにて実施されてもよい。即ち、直接的に、又はネットワーク等を介して間接的に接続された複数のコンピュータシステムにおいて、ステップ21のプログラムを実行する1つのコンピュータシステムにて作成したファイル32を転送する又は共有領域に作成するなどして、ステップ22のプログラムを実行する他の複数のコンピュータにて参照する。

【0071】上記実施形態において、マクロレイアウトのステップ41、46、チップレベルレイアウトのステップ51、55は従来の方で行うことが可能であるため、既存のプログラムモジュールを利用することができる。従って、これらのステップでは、既存のプログラムモジュールを呼び出す命令（プログラムコード）が記述されたプログラムデータを記録媒体19等により提供すればよい。

【0072】上記実施形態ではCAD装置からなるコンピュータシステムにより上記各ステップを実施するようにしたが、各ステップをそれぞれ手段とする機能を持つハードウェア（回路ブロック）により実施するようにしてもよい。

【0073】以上の様々な実施の形態をまとめると、以

下のようになる。

(付記1) 配置配線情報を持つIPマクロを作成するマクロ作成方法であって、IPマクロ内にチップレベルの配線が通過可能な領域を算出するステップと、前記配線通過可能領域の配線条件を設定するステップと、前記配線条件に基づいて前記IPマクロ内の自動配置配線を行うステップと、前記通過配線可能領域の情報と前記自動配置配線結果を含むIPマクロのライブラリを作成するステップと、を備えたことを特徴とするマクロ作成方法。

(付記2) 前記配線通過領域にシールド配線を挿入するステップと、前記シールド配線の電源及びグランドへのコンタクトを形成するステップと、を備え、前記ライブラリを作成するステップでは、該ライブラリに前記シールド配線の情報を含めるようにしたことを特徴とする付記1記載のマクロ作成方法。

(付記3) 前記領域を算出するステップにおいて、通過可能な領域をIPマクロのサイズ/形状から求めることを特徴とする付記1又は2記載のマクロ作成方法。

(付記4) 前記領域を算出するステップにおいて、前記IPマクロのアスペクト比とサイズを基に前記配線通過可能領域を算出するステップと、前記IPマクロの外部端子情報を基に前記配線通過可能領域を算出するステップと、前記IPマクロの外形が四角形以外の場合に該IPマクロの重心を中心として配線通過可能領域を設定し、該配線通過可能領域を四角形に補正するステップと、のうちの何れか一つにより前記サイズを算出することを特徴とする付記1又は2記載のマクロ作成方法。

(付記5) 前記配線条件を設定するステップにおいて、配線通過領域の位置、レイヤー、配線方向を基に配線通過領域の上下層に対する配線条件を決定することを特徴とする付記1又は2記載のマクロ作成方法。

(付記6) 前記ライブラリを作成するステップにおいて、前記配線通過可能領域のみを配線通過可能として定義するとともに、配線方向の属性を設定し、その他の部分は配線禁止として定義するステップと、前記配線通過可能領域の上下層に存在する配線情報をチップレベルの配線プログラムで参照するための直交方向に配線可能な配線禁止情報として定義するステップと、の何れか一方を実施することを特徴とする付記1又は2記載のマクロ作成方法。

(付記7) 付記1～6のうちの何れか一項に記載の方法により作成された配置配線情報を持つIPマクロが登録されたライブラリを利用する半導体装置のレイアウト方法であって、前記IPマクロを含む複数のブロックのフロアプランを作成するステップと、前記IPマクロの配線通過可能領域の情報を参照して該IPマクロ内を通過する配線の条件を作成するステップと、前記配線条件に基づいてチップレベルの配置配線を行うステップと、を備えたことを特徴とするレイアウト方法。

(付記8) 付記2～6のうちの何れか一項に記載の方法により作成された配置配線情報を持つIPマクロが登録されたライブラリを利用する半導体装置のレイアウト方法であって、前記IPマクロを含む複数のブロックのフロアプランを作成するステップと、前記IPマクロ内を通過する配線の条件を作成するステップと、前記配線条件に基づいてチップレベルの配置配線を行い、前記IPマクロ内をシールド付き配線を通過させる場合には、前記IPマクロに形成したシールド配線を利用してシールド配線を通過させるステップと、を備えたことを特徴とするレイアウト方法。

(付記9) 付記2～6のうちの何れか一項に記載の方法により作成されたIPマクロを備えた半導体装置。

(付記10) 配置配線情報を持つIPマクロを作成するマクロ作成方法を実行するプログラムを記録したコンピュータ読み取り可能な記録媒体であって、前記プログラムは、IPマクロ内にチップレベルの配線が通過可能な領域を算出するステップと、前記配線通過可能領域の配線条件を設定するステップと、前記配線条件に基づいて前記IPマクロ内の自動配置配線を行うステップと、前記通過配線可能領域の情報と前記自動配置配線結果を含むIPマクロのライブラリを作成するステップと、を備えたことを特徴とする記録媒体。

(付記11) 前記配線通過領域にシールド配線を挿入するステップと、前記シールド配線の電源及びグランドへのコンタクトを形成するステップと、を備え、前記ライブラリを作成するステップでは、該ライブラリに前記シールド配線の情報を含めるようにしたことを特徴とする付記10記載の記録媒体。

(付記12) 付記1～6のうちの何れか一項に記載の方法により作成された配置配線情報を持つIPマクロが登録されたライブラリを利用する半導体装置のレイアウト方法を実行するプログラムを記録したコンピュータ読み取り可能な記録媒体であって、前記プログラムは、前記IPマクロを含む複数のブロックのフロアプランを作成するステップと、前記IPマクロの配線通過可能領域の情報を参照して該IPマクロ内を通過する配線の条件を作成するステップと、前記配線条件に基づいてチップレベルの配置配線を行うステップと、を備えたことを特徴とする記録媒体。

(付記13) 付記2～6のうちの何れか一項に記載の方法により作成された配置配線情報を持つIPマクロが登録されたライブラリを利用する半導体装置のレイアウト方法を実行するプログラムを記録したコンピュータ読み取り可能な記録媒体であって、前記プログラムは、前記IPマクロを含む複数のブロックのフロアプランを作成するステップと、前記IPマクロ内を通過する配線の条件を作成するステップと、前記配線条件に基づいてチップレベルの配置配線を行い、前記IPマクロ内をシールド付き配線を通過させる場合には、前記IPマクロに

形成したシールド配線を利用してシールド配線を通過させるステップと、を備えたことを特徴とする記録媒体。

【0074】

【発明の効果】以上詳述したように、本発明によれば、配置配線情報を持ち、特性変動を抑えることのできるマクロの作成方法、それを用いた半導体装置のレイアウト方法、それらの方法を実施するプログラムを記録した記録媒体を提供することができる。

【図面の簡単な説明】

【図1】 LSIのレイアウト設計処理のフローチャートである。

【図2】 レイアウト装置の概略構成図である。

【図3】 IPマクロレイアウト処理のフローチャートである。

【図4】 チップレベルレイアウト処理のフローチャートである。

【図5】 第1の算出処理による配線通過可能領域算出の説明図である。

【図6】 第2の算出処理による配線通過可能領域算出の説明図である。

【図7】 第3の算出処理による配線通過可能領域算出の説明図である。

*【図8】 領域設定処理の説明図である。

【図9】 シールド配線挿入処理の説明図である。

【図10】 IPマクロのレイアウト情報の構造を示す説明図である。

【図11】 IPマクロのライブラリ情報の構造を示す説明図である。

【図12】 チップレベルのフロアプラン図である。

【符号の説明】

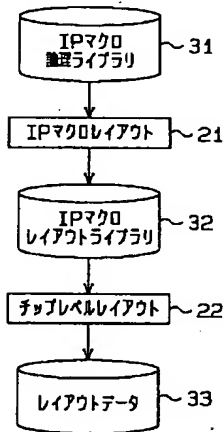
- 11 コンピュータシステム
- 21 IPマクロレイアウト処理
- 22 チップレベルレイアウト処理
- 42 配線通過可能領域算出処理
- 43 領域設定処理
- 44 シールド配線挿入処理
- 45 配線条件算出処理
- 46 配置配線処理
- 47 シールド配線のコンタクト処理
- 48 ライブラリ作成処理
- 51 フロアプラン処理
- 52 配線条件作成処理
- 53 配置配線処理
- 54 シールド配線の配線処理

【図1】

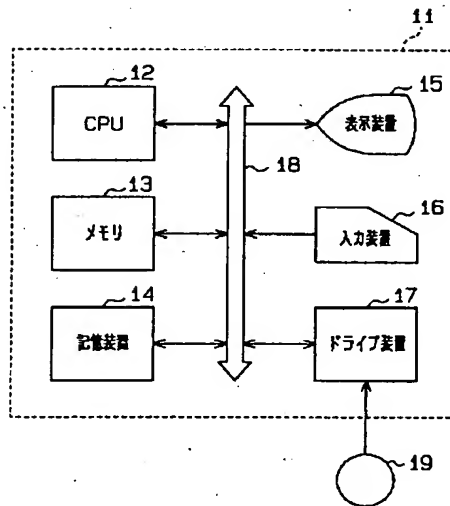
【図2】

【図4】

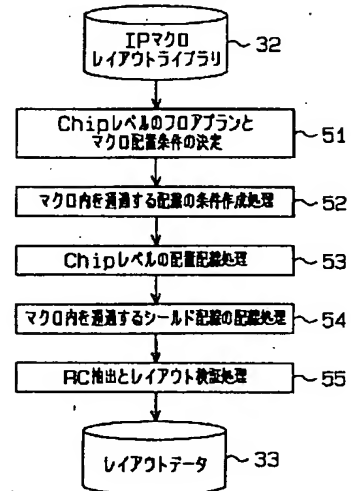
LSIのレイアウト設計処理のフローチャート



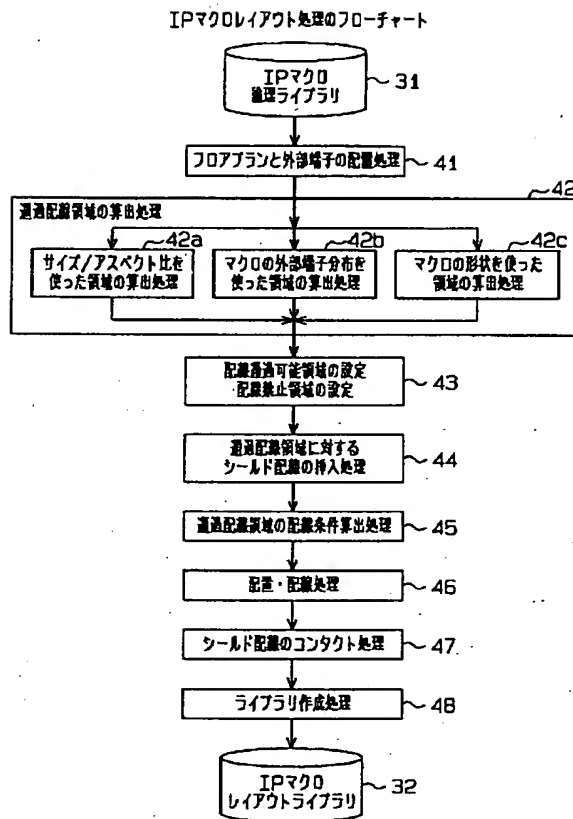
レイアウト装置の概略構成図



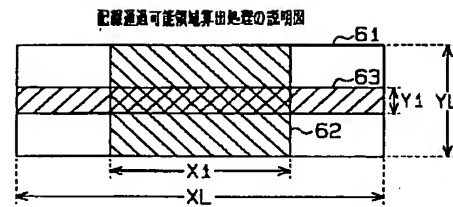
チップレベルレイアウト処理のフローチャート



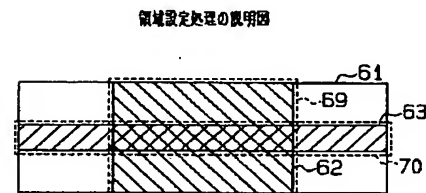
【図3】



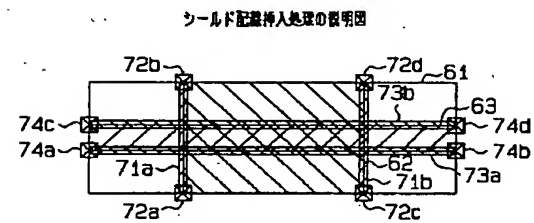
【図5】



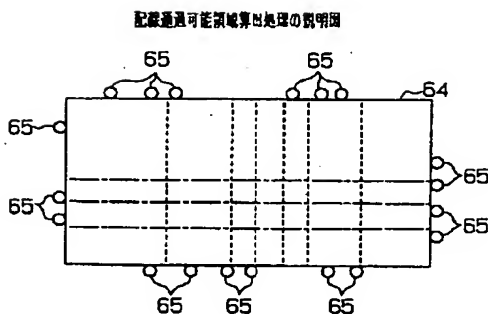
【図8】



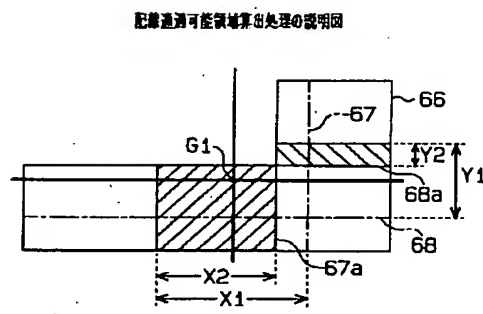
【図9】



【図6】



【図7】



【図10】

IPマクロのレイアウト情報の構造を示す説明図

ヘッダ情報 (version, date, technology, units, . . .)	81
フィードスルー情報	82
記録禁止のエリア (x1, y1, x2, y2, . . .)	83
記録禁止レイヤー (LC, LD, . . .)	
シールド記録の座標 (x1, y1, x2, y2)	
シールド記録の幅 (w)	
上下層の記録方向 (X, Y)	
サイズ	
セル配置エリアの情報	
VIA情報	
REGION情報	
セルの配置情報	
特殊NET情報	
通常NET情報	
GROUP情報	

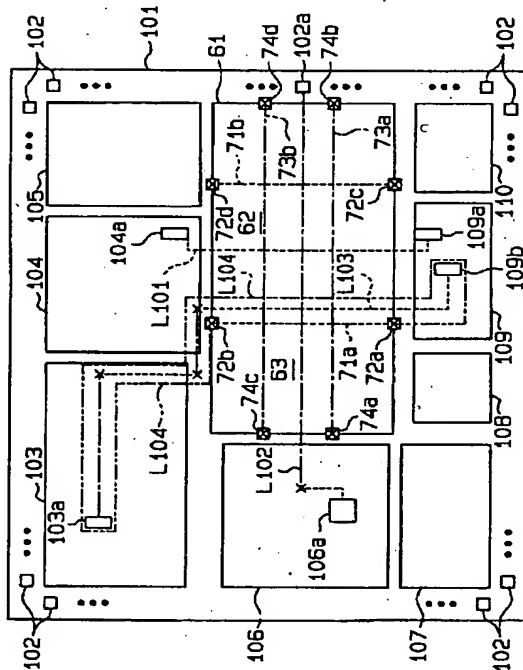
【図11】

IPマクロのライブラリ情報の構造を示す説明図

ヘッダ情報 (version, date, technology, units, . . .)	91
マクロ名	92
基準点	93
サイズ (x1, y1, x2, y2)	94
フィードスルー情報	95
フィードスルー記録のレイヤー (n)	96
フィードスルー記録の方向 (n)	
フィードスルーのエリア (x1, y1, x2, y2)	
シールド記録の座標 (x1, y1, x2, y2)	
シールド記録の幅 (w)	
ピン情報	
ピン名	97
方向 (n)	
レイヤー (n)	
サイズ (x1, y1, x2, y2)	
記録禁止のエリア (x1, y1, x2, y2)	98
直交記録禁止のエリア (x1, y1, x2, y2)	99

【図12】

チップレベルのフロアプラン図



フロントページの続き

(51)Int.Cl.⁷
H01L 27/04
21/822

識別記号

FI
H01L 21/82
27/04

キーワード(参考)

C
D

(72)発明者 伊藤 文彦
愛知県春日井市高蔵寺町二丁目1844番2
富士通ヴィエルエスアイ株式会社内

F ターム(参考) 5B046 AA08 BA05 BA06 KA06
5F038 CA03 CA17 CD05 EZ09 EZ20
5F064 EE03 EE14 EE46 HH06 HH08
HH12